**Лабораторная работа №6**

**ТРИГГЕРЫ**

**Цель работы:** изучение функционирования триггеров различных типов и экспериментальное определение таблиц состояния (истинности) триггеров.

***Триггер*** — это устройство с двумя устойчивыми состояниями, од­но из которых — логический ноль, а другое — логическая единица. Под действием управляющих сигналов триггер способен переклю­чаться из одного состояния в другое. Основное назначение тригге­ра — хранение двоичной информации.

Различают несколько разновидностей триггеров: *RS*-триггер, *D*-триггер, *JK*-триггер. Реже используются и ниже рассматриваться не будут *DV*-триггер и *T*-триггер.

Если для изменения состояния триггера используется синхронизирующий сигнал, то триггер называется *син­хронным* (синхронизируемым). Если синхронизирующие сигналы не используются, то триггер называется *асинхронным.*

**Схема простейшего *асинхронного RS-*триггера:**

В триггере использованы схемы ИЛИ-НЕ (стрелка Пирса) с пе­рекрестными обратными связями.

*R* — вход установки триггера в 0,

*S* — вход установки триггера в 1,

*Q* — прямой выход триггера;

*Q* — вспомогательный (инверсный) выход триггера, сигнал на котором инвертирован относи­тельно прямого выхода.

**Рассмотрим работу *RS*-триггера:**

Пусть в нулевой момент времени при нулевых сигналах на входах *R* и *S* на триггер подано напряжение питания. Однако на выходах триггера в этот момент времени оба вы­ходных сигнала будут равны нулю: *Q = Q = 0.* Мгновенно эти сигналы увеличиться не могут, так как в реальных схемах всегда имеются па­разитные емкости, а напряжение на конденсаторе скачкообразно из­мениться не может.

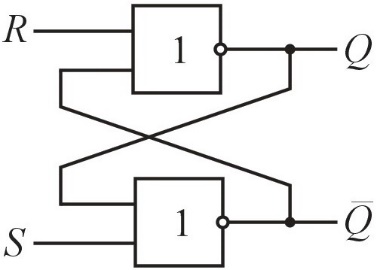


Рис. 1 Схема простейшего асинхронного *RS-*триггера

Из свойств элемента ИЛИ-НЕ следует, что при нулевых сигналах на его входах напряжение на его выходе должно возрастать до значе­ния логической единицы.

На практике, из-за неидентичности двух элементов ИЛИ-НЕ на одном из выходов: *Q* или *Q,* напряжение воз­растает быстрее. Пусть более быстро напряжение возрастает на выхо­де *Q.* Это напряжение поступает на второй логический элемент и на­чинает уменьшать напряжение на его выходе *Q,* устремляя ею к нулю. В свою очередь уменьшающееся напряжение на выходе *Q*, по­падая на первый логический элемент, еще больше ускоряет увеличе­ние напряжения на выходе *Q.* Таким образом, благодаря положитель­ной обратной связи быстро устанавливается единичное состояние триггера: *Q* =1; *Q* = 0.

Если *R =1, S=* 0 и используя свойства схемы ИЛИ-НЕ, получим: *Q =* 0; *Q = 1.* Так производится операция установки триггера в нулевое состояние. Если после этого сигнал на входе *R* сделать равным 0, то новое состояние триггера со­храняется.

Если *S =1* и при *R =* 0 триггер уста­навливается в единичное состояние: *Q =* 1.

Если *R = S=* 1, то на обоих выходах *Q* и *Q* возникают нули, что противоречит определению выходов триггера. Такая комбинация управляющих сигналов запрещена (отметим, что после этого работоспособность триггера не теряется).

При хранении состояние триггера в данный момент времени определяется его со стоянием в предыдущий момент времени: *Q(n)* = *Q(n -* 1), где *п*— но­мер временного отсчета.

Условное обозначение *RS*-триггера приведе­но на рис. 2.

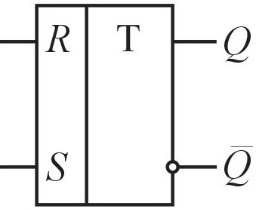
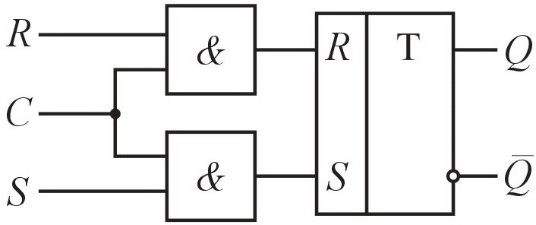
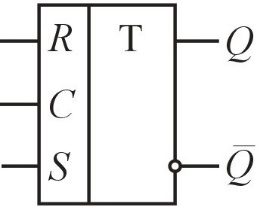


Рис. 2 Условное обозначение *RS*-триггера

Для повышения помехоустойчивости и для устранения "состязаний" используют *синхронный RS-*триггер*,* схема и условное обозначение которого приве­дены на рис. 3, *а*, *б* соответственно.

Состояние синхронного триггера может измениться только при установлении логической единице на входе синхронизации *С*. В этом случае элементы И "открываются" и управляющие сигналы поступают на входы асинхронного триггера. Отметим, что такая синхронизация называется *статической.*

*а б*

Рис. 3Схема (*а*) и условное обозначение (*б*) *RS-*триггера

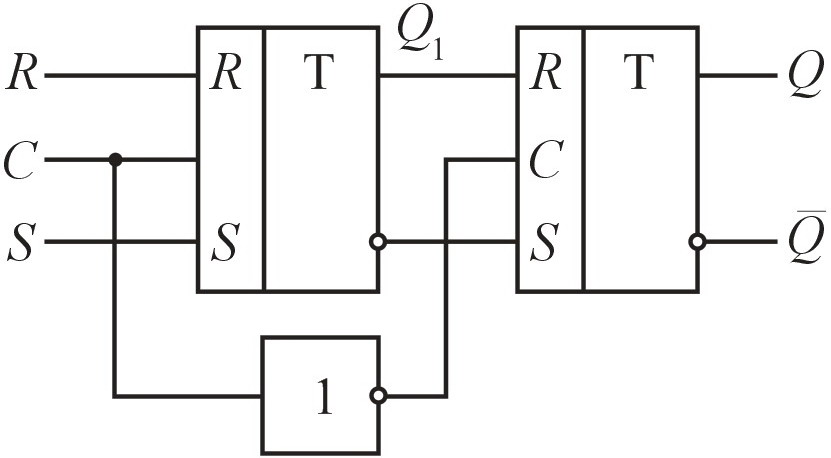


Рис. 4Схема двухступенчатого *RS-*триггера

При использовании *двухступенчатого RS-триггера,* схема которо­го приведена на рис. 4, допускается соединение его входов и выхо­дов. Двухступенчатый триггер состоит из двух синхронных *RS-*триггеров и дополнительного элемента НЕ. При подаче входных управляющих сигналов и синхросигнала производится запись ин формации в первый триггер (момент *t1* на рис. 5). При этом второй триггер не изменяет своего состояния, так как на его синхровход с инвертора подается логический ноль.

Временные диаграммы работы двухступенчатого триггера на рис. 5 получены при условии — сигнал на входе *R* инвертирован по отношению к сигналу на входе *S.* Как видим, двухступенчатый *RS-*триггер переключается по заднему фронту синхронизирующего сиг­нала. Такая синхронизация называется *динамической.*

Условное обозначение двухступенчатого *RS*-триггера показано на рис. 6. Наличие динамической синхронизации отмечено наклонной чертой. Причем ее наклон соответствует заднему фронту синхроимпульса.

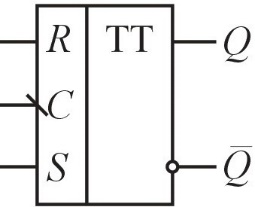
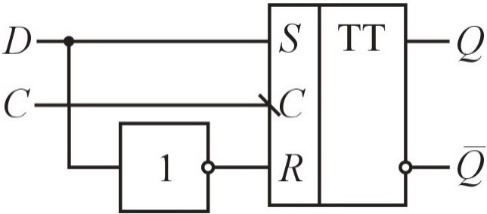
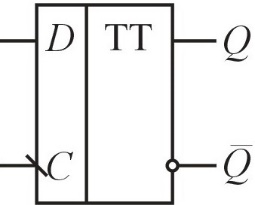


Рис. 6 Условное обозначение двухступенчатого *RS*-триггера

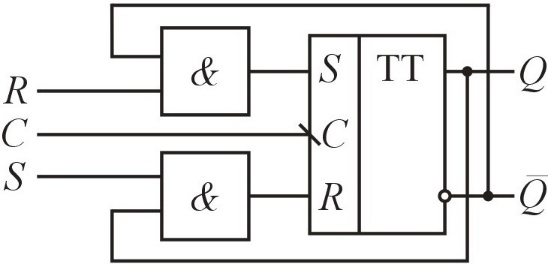
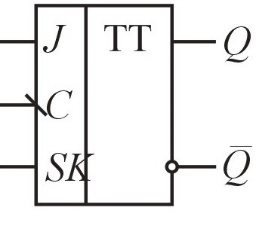
Одним из самых широко используемых триггеров является ***D-триггер*** *(триггер задержки).* Чаще всего *D*-триггер выполняется на основе двухступенчатого *D*-триггера при включении на входе дополнительного инвертора, связывающего *R-* и *S*-входы. Важное преиму­щество этого триггера состоит в том, что он имеет только один ин­формационный вход. Схема *D-*триггера и его условное обозначение приведены на рис. 7, *а*, *б* соответственно. Информация в *D-*триггер за­писывается по заднему фронту синхронизирующего импульса. Поэтому сигнал на выходе *Q* при подаче *n*-го синхроимпульса появляет­ся с задержкой на один такт: *Q(n)* = *Q(n -* 1).

*а б*

Рис. 7 Схема (*а*) и условное обозначение (*б*) *D-*триггера

Большими функциональными возможностями обладает *JK-триггер.* Схема *JK*-триггера и его условное обозначение показаны на рис. 8, *а*, *б* соответственно.

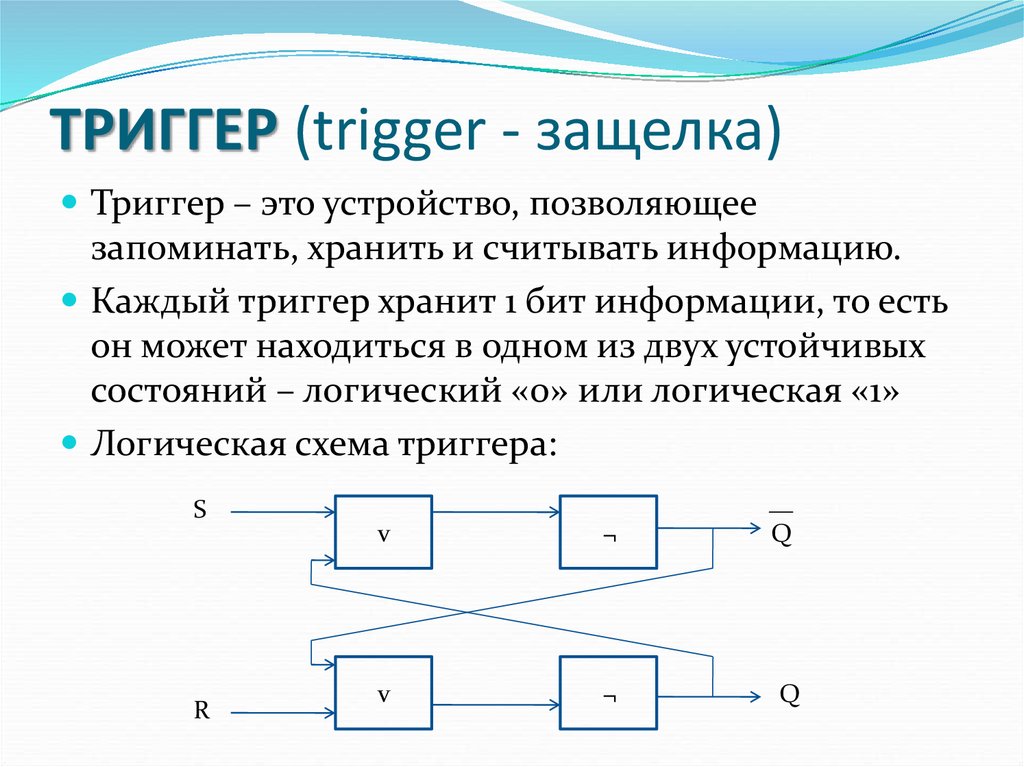
 

*а б*

Рис. 8 Схема (*а*) и условное обозначение (*б*) *JK-*триггера

В схему включены два двухвходовых элемента И. Так как на их входы подаются выходные сигналы *RS*-триггера, то один из элементов И будет всегда закрыт для прохождения сигналов управления. По этой причине на входы *JK*-триггера можно одновременно подавать еди­ничные сигналы. Как известно, такая комбинация входных сигналов запрещена у *R*S-триггера.

Вход *J* триггера аналогичен входу *S* рассмотренного выше *RS-*триггера, а вход *К*— входу *R RS*-триггера. Если *J=К*=0, то получим режим хранения. Если *J=К*=1, то с приходом синхроимпульса триггер изменяет свое состояние на противоположное.



* *Асинхронные триггеры* воспринимают информационные сигналы и реагируют на них в момент появления на входах триггера.
* *Синхронные (тактируемые )триггеры* реагируют на информационные сигналы при наличии разрешающего сигнала на специальном управляющем входе С*,* называемом входом синхронизации.

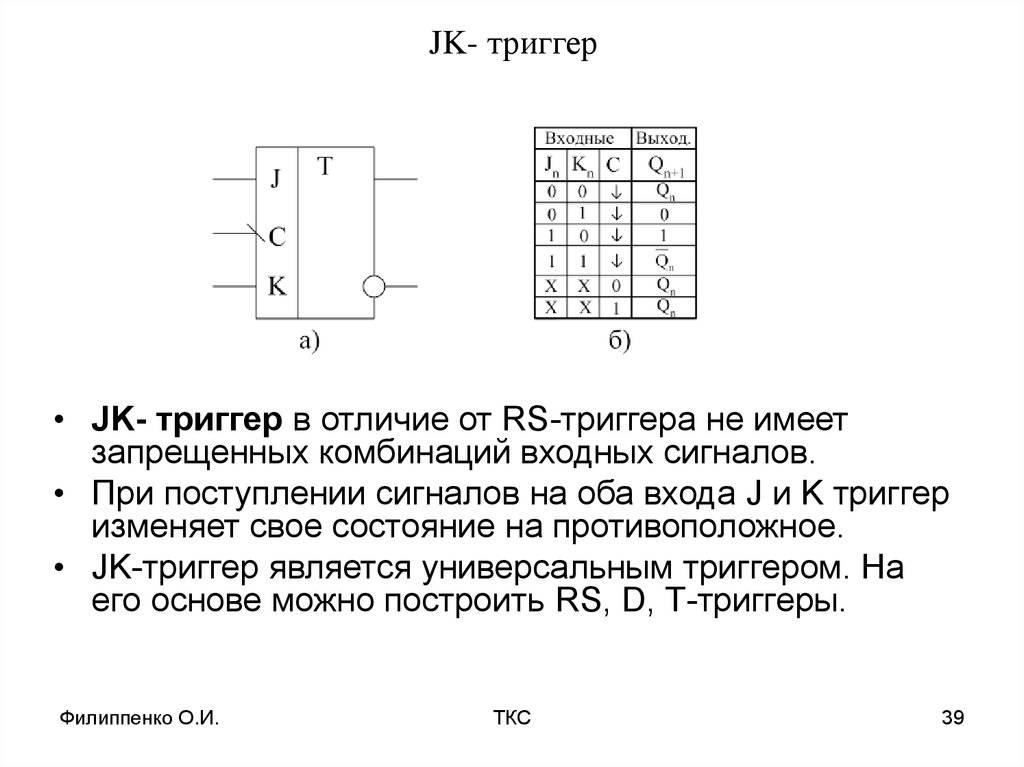
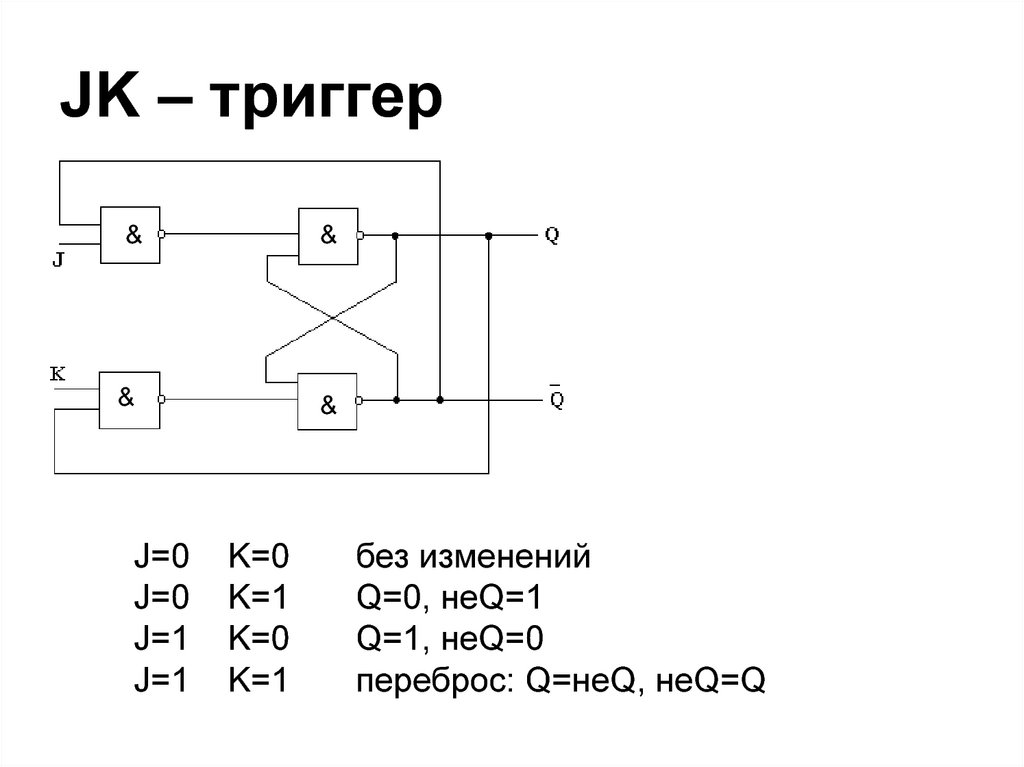
По способу ввода информации бывают асинхронные и синхронные триггеры.

**Асинхронные** триггеры имеют только информационный вход и срабатывают непосредственно за изменением сигналов на входе.

У синхронных триггеров смены информации на информационных входах недостаточно для срабатывания.

**Синхронные сигналы** вырабатывают специальными генераторами тактирующих импульсов, которые задают частоту смены информации.

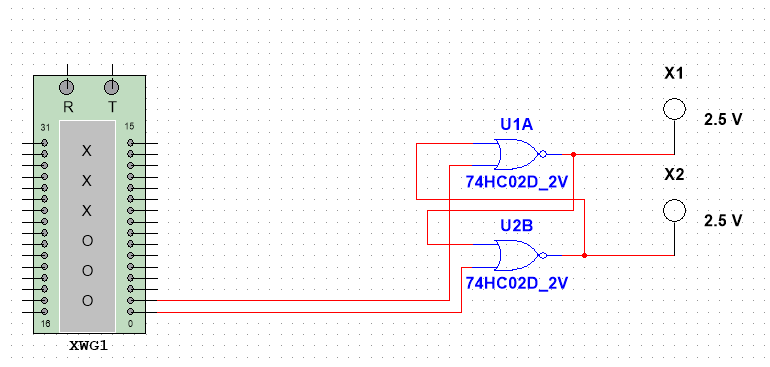
Срабатывание синхронных триггеров происходит при поступлении тактовых импульсов, длительность которых гораздо меньше их периода. В остальное время на входной сигнал триггер не реагирует, то есть, по сравнению с асинхронным, обладает более высокой помехоустойчивостью.

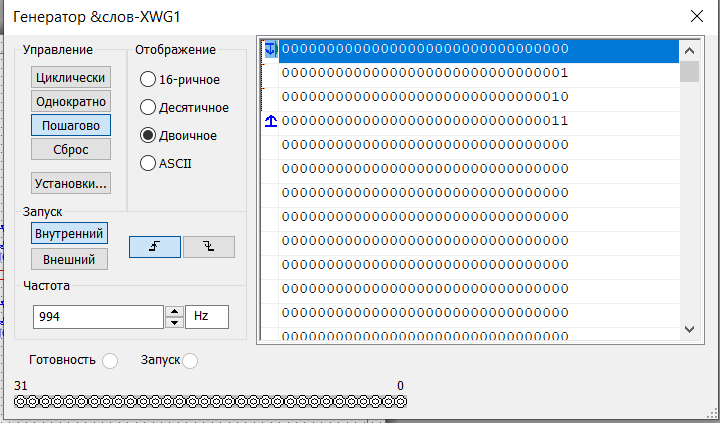
 

**Выполнение схем**

**Асинхронный *RS*-триггер с инверсными входами:**

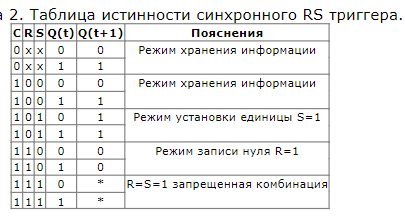
**Асинхронные** триггеры имеют только информационный вход и срабатывают непосредственно за изменением сигналов на входе.





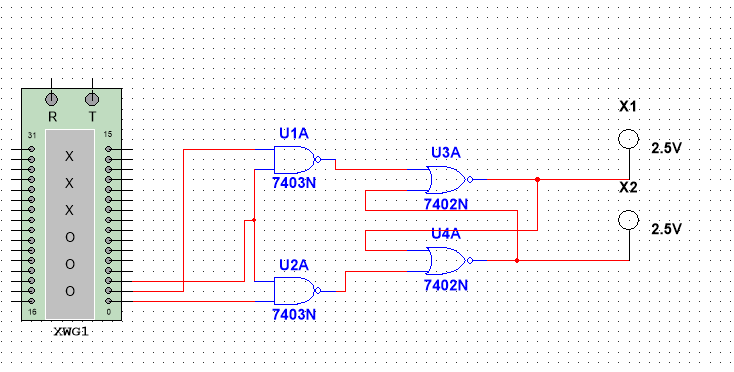
**2.2. Исследование синхронного *RS*-триггера с инверсными входами.**

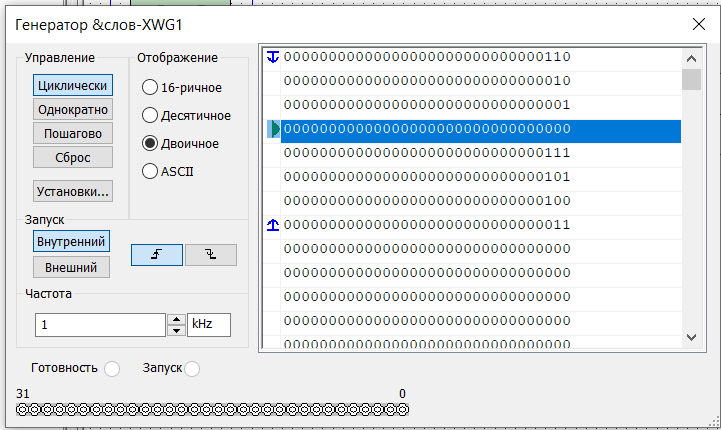
**Синхронный RS триггер**



Для выполнения синхронного *RS*-триггера, подсоединим два элемента И к предыдущей схеме асинхронного *RS*-триггера

Синхронные (тактируемые )триггеры реагируют на информационные сигналы при наличии разрешающего сигнала на специальном управляющем входе С, называемом входом синхронизации.





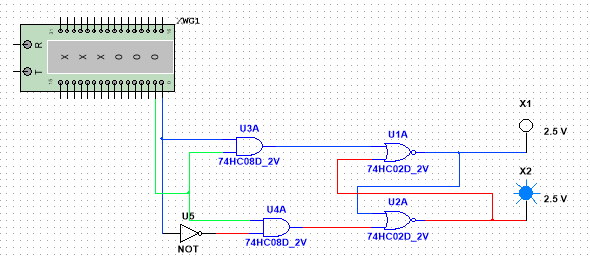
**Таблица истинности *RS*-триггера**

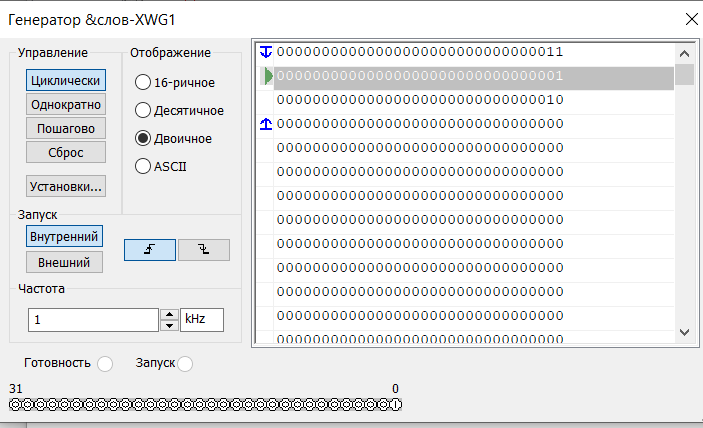
|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| *R* | *S* | *C* | *Q* |  |  |
| 1 | 1 | 0 | 0 | 1 | Верхнений |
| 0 | 1 | 0 | 0 | 1 | Верхнений |
| 0 | 0 | 1 | 0 | 1 | одно из своих |
| 0 | 0 | 0 | 0 | 1 | Схема становится недетерминированной, однако красный индикатор продолжает гореть(запрещ состояние) |
| 1 | 1 | 1 | 0 | 0 | Единственное состояние при котором на выходах ноль |
| 1 | 0 | 1 | 1 | 0 | Загорается нижний |
| 1 | 0 | 0 | 1 | 0 | Загорается нижний |
| 0 | 1 | 1 | 1 | 0 | Загорается нижний |

**2.3. Исследование синхронного *D*-триггера.**

Для того чтобы собрать *D*-триггер, будем использовать синхронный *RS*-триггер и инвертор (НЕ). Подавая на входы триггера различные комбинации логических уровней, заполним таблицу состояний *D*-триггера с описаниями исследуемых состояний.

**Синхронный *D*-**триггер предназначен для одноступенчатого запоминания информации. *D*- триггера. Триггер имеет два входа: информационный *D* и синхронизирующий *C*, а также два выхода: прямой *Q*и инверсный **. Согласно таблице истинности, при подаче на синхронизирующий вход*C* сигнала лог.*0*, а на вход *D* любого из логических сигналов лог. *0* или лог.*1*, на выходе *Q* будет сохранён логический сигнал, подаваемый на вход *D*.





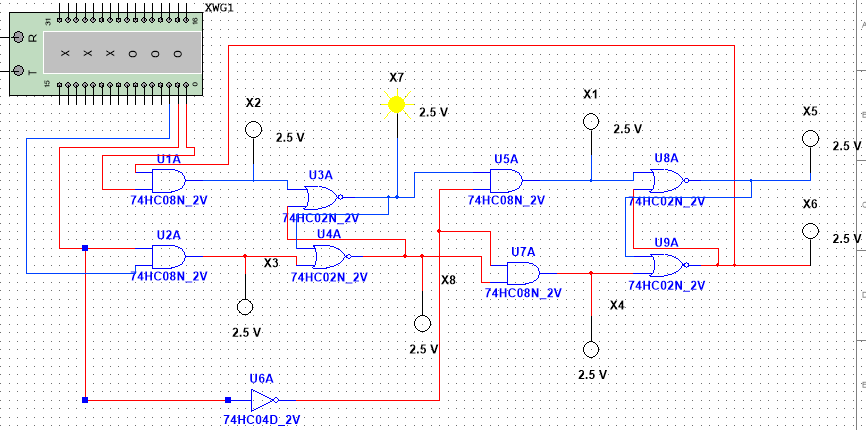
**Таблица истинности *D*-триггера**

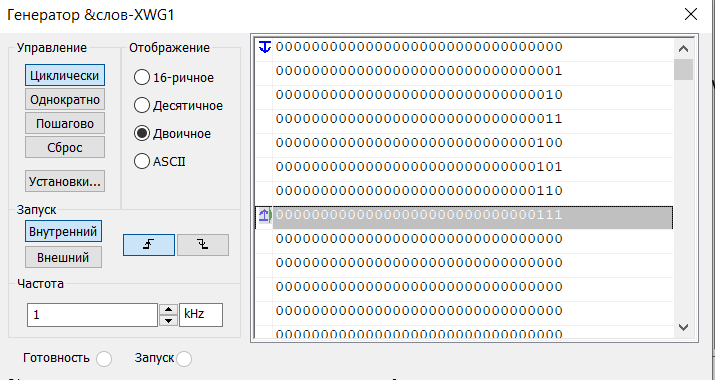
|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| *J* | *C* | *K* | *Q* |  |
| 0 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 1 | 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 1 | 1 | 0 | 0 |

**2.4. Исследование *JK*-триггера.**

Вход *J* триггера аналогичен входу *S* рассмотренного выше *RS*-триггера, а вход *К* — входу *R* *RS*-триггера. Если *J*=*К*=0, то получим режим хранения. Если *J*=*К*=1, то с приходом синхроимпульса триггер изменяет свое состояние на противоположное.

**JKтриггер** **—** **это** **схема** **с** **двумя** **устойчивыми** **выходными** **состояниями** **и** **двумя** **входами** **J** **и** **K.**





**Контрольные вопросы:**

1. Как работает генератор слов?

Генератор слова используется, чтобы генерировать цифровые слова или образцы битов в схему, чтобы обеспечить работу цифровых схем.

1. Пояснить принцип работы логического анализатора.

Логический анализатор показывает уровни до 16 цифровых сигналов в схеме. Это используется для быстрого получения и анализа данных логических состояний и что помогает проектировать большие системы и выполнять поиск   
неисправностей в них.

1. Пояснить принцип работы логического конвертора.

Логический конвертор является мощным компьютерным прибором способным проводить несколько трансформаций схемных представлений.

Его можно использовать для преобразования:

* 1. схемы в таблицу истинности;
  2. таблицу истинности в выражение булевой логики;
  3. выражение булевой логики в схему или таблицу истинности с промежуточной минимизацией.

1. Показать на примере использование приборов для исследования цифровых схем.

Расписано в практической части лабораторной работы.

**Вывод:** в ходе лабораторной работы была изучена работа приборов для исследования цифровых схем, узнали новые понятия, протестировали схемы в приложении Multisim, закрепили знания, ответив на контрольные вопросы.